

## ⑫ 公開特許公報 (A)

昭60-186939

⑬ Int.Cl.<sup>4</sup>G 06 F  
9/46  
9/30  
13/00  
15/00

識別記号

102

府内整理番号

F-8120-5B  
C-7361-5B  
U-7230-5B  
6549-5B

⑭ 公開 昭和60年(1985)9月24日

審査請求 有 発明の数 1 (全6頁)

⑮ 発明の名称 タイマ機構

⑯ 特願 昭59-42715

⑰ 出願 昭59(1984)3月6日

⑮ 発明者 中島俊樹	川崎市中原区上小田中1015番地 富士通株式会社内
⑮ 発明者 土井泰雄	川崎市中原区上小田中1015番地 富士通株式会社内
⑮ 発明者 東海林敏夫	横須賀市武1丁目2356番地 日本電信電話公社横須賀電気通信研究所内
⑯ 出願人 富士通株式会社	川崎市中原区上小田中1015番地
⑯ 出願人 日本電信電話株式会社	東京都千代田区内幸町1丁目1番6号
⑰ 代理人 弁理士 松岡宏四郎	

## 明細書

## 1. 発明の名称

タイマ機構

## 2. 特許請求の範囲

少なくともインターバルタイマ指定情報とタイマ値情報を含むタイマ制御語を複数個保持可能な記憶手段と、複数の固定周期のインターバルタイマのいずれかがタイムアウトしたことにより起動されて、前記記憶手段に保持されている。すべてのタイマ制御語を順次走査して、インターバルタイマ指定情報で指定されるインターバルタイマがタイムアウトした場合には、当該タイマ制御語のタイマ値情報の更新を行う。タイマ更新手段とを備えたタイマ機構において、複数のインターバルタイマが同時にタイムアウトした場合に、それら複数のインターバルタイマのいずれかと、前記記憶手段から読み出したタイマ制御語のインターバルタイマ指定情報で指定される。インターバルタイマが一致するか否かを判定する判定手段を設け、複数のインタ

ーバルタイマが同時にタイムアウトした場合には、それら複数のインターバルタイマに対応するタイマ制御語を前記判定手段により検出し、これらのタイマ値情報の更新を前記記憶手段の1回の走査で行うことを特徴とするタイマ機構。

## 3. 発明の詳細な説明

## (1) 発明の技術分野

本発明は情報処理装置のタイマ機構に係り、特に、多種の種類のタイマを同時に設定することが可能なタイマ機構に関する。

## (2) 従来技術と問題点

多数の使用者に対する処理を時分割多重で実行するTSSシステムの情報処理装置、又は多数の通信回線を時分割多重で制御する通信制御処理装置等では、TSSの各使用者あるいは通信を行っている各回線毎に複数種類ずつのタイマを同時にかけることがある。これらのタイマは、各種の時間監視あるいは遅延処理などの目的で使用される。

従来、これらのタイマ機能は、情報処理装置

上で走行するソフトウェアにより実現されることが多かったが、タイマ処理のためのソフトウェアの負荷が大きい等の問題があった。

#### (イ) 発明の目的

本発明の目的は、多数の種類のタイマを同時に設定することが可能で、ソフトウェアの負荷が小さいタイマ機構を提供することにある。

本発明の他の目的は、タイマ機構におけるタイマ更新処理の集中を回避し、タイマ更新もれ等の誤動作の発生を防止した、改善されたタイマ機構を提供することにある。

#### (ロ) 発明の構成

上記目的を達成するために本発明は、少なくともインターバルタイマ指定情報とタイマ値情報とを含むタイマ制御語を複数個保持可能な記憶手段と、複数の固定周期のインターバルタイマのいずれかがタイムアウトしたことにより起動されて、前記記憶手段に保持されている。すべてのタイマ制御語を順次走査して、インターバルタイマ指定情報で指定されるインターバ

ルタイマがタイムアウトした場合には、当該タイマ制御語のタイム値情報を更新を行う。タイマ更新手段とを備えたタイマ機構において、複数のインターバルタイマが同時にタイムアウトした場合に、それら複数のインターバルタイマのいずれかと、前記記憶手段から読み出したタイマ制御語のインターバルタイマ指定情報で指定される。インターバルタイマが一致するか否かを判定する判定手段を設け、複数のインターバルタイマが同時にタイムアウトした場合には、それら複数のインターバルタイマに対応するタイマ制御語を前記判定手段により検出し、それらのタイマ値情報の更新を前記記憶手段の1回の走査で行うことを特徴とする。

#### (ハ) 発明の実施例

本発明のタイマ機構を備えた情報処理装置のシステム構成を第1図に示す。中央処理装置CPU1は記憶装置MEM2に格納されたプログラムを読み出して実行する。また、データチャネル装置DCH3を経由して入出力装置

IOD4を制御し、入出力動作を行う。タイマ制御部TMC5は本発明のタイマ機構であり、共通バス6を経由してCPU1に接続され、CPU1からの指示に応答して、タイマの設定処理及びタイマの無効化処理を行う。また、CPU1とは独立に、一定周期でタイマ更新処理を行い、以前に設定されたタイマのタイムアウトを検出すると、CPU1へ割込みにより通知する。

タイマ制御語TCWの形式を第2図に示す。TCWのタイムレンジフィールドは、TCWの有効性及び、タイマの時間値の単位を指定する。タイマの時間値の単位としては、10ms, 1s, 1MINの3種類のいずれかを指定できる。タイマ値フィールドは、1~256のタイマの時間値を指定し、"0"は最大値256を表わす。タイマ種別フィールドはプログラムが任意に設定するタイマの種類を表わすもので、タイマ制御部5は特に意識せず、単なるデータとして扱う。本フィールドは、プログラムが設定し

た複数のタイマのいずれかがタイムアウトしたとき、どのタイマがタイムアウトしたのかをプログラムが識別するために必要である。本フィールドの内容としては、例えば複数の使用者に対する処理を時分割多重で実行するTSSシステムの情報処理装置では使用者を識別するための情報が含まれるし、複数の通信回線を制御する通信制御処理装置では、通信回線を識別する回線番号及び文字間監視タイマ、電文開始待タイマ、電文終結待タイマ等のタイマの種類を識別するための情報が含まれる。

タイマ制御部TMC5のブロック構成を第3図及び第4図に示す。TCM10は、TCWを最大1024個保持可能な1024語構成のRAM(ランダムアクセスメモリ)であり、アドレスポインタレジスタとしてPTR2及びPTR3を持つ。TAM11は、TCWの空領域のアドレスを最大1024個保持可能な1024語構成のRAMであり、アドレスポインタレジスタとしてPTR1を持つ。インターバルタイマ回路12

は、 $10\text{ms}$ ,  $1\text{s}$ ,  $1\text{MIN}$ 周期の基準信号を発生する回路である。タイマ制御回路13は、TMC5全体の動作を制御するマイクロプログラム制御方式の制御回路であり、その処理のフローチャートを第5図及び第6図に示す。

タイマの設定は、プログラムがタイマセットの出力命令を実行して、タイマ制御語TCWを出力することにより行う。これにより、CPU1は共通バス6上にTCWのデータを送出し、TMSET信号を“1”にする。するとタイマ制御部5は、タイマセットの出力命令処理を開始する。まず、PTR1の値をアドレスとしてTAM11に格納されているTCM10の空領域のアドレスを1個読み出してPTR2にセットした後、PTR1の値を-1する。これにより、TAM11に登録されていた空領域アドレスを1個だけ切り出したことになる。この空領域アドレスをアドレスとして、共通バス6上のTCWをTCM10に格納し、出力命令を終了させる。なお、初期状態では、TCM10のすべてのアド

レスの内容は“11110”であり、TAM11には $0, \dots, 1023$ の1024個の空領域アドレスが登録されているものとする。

プログラムはタイマセットの出力命令を実行してタイマを設定した後に、PTR2読み出しの入力命令を実行して、TCWが格納されたTCM10のアドレスを読み出して記憶しておく。この場合には、CPU1からのPTR2RD信号が“1”となり、タイマ制御回路13はPTR2のデータを共通バス6を経由してCPU1へ転送する。

一度設定したタイマの無効化は、プログラムがタイマキャンセルの出力命令を実行して、無効化するTCWの格納されているTCM10のアドレスを出力することにより行う。これによりCPU1は共通バス6上にTCM10のアドレスを出し、TMCNCL信号を“1”にする。すると、タイマ制御回路13は、タイマキャンセルの出力命令処理を実行する。まず、共通バス6上のTCM10のアドレスをPTR2にセッ

トし、PTR2の値をアドレスとしてTCM10に“11110”的データを書き込む。次に、PTR1の値を+1し、PTR1の値をアドレスとして共通バス6上のTCMアドレスをTAM11に書き込む。これにより、TCM10内のTCWを無効化し、そのTCM10のアドレスをTAM11に再度、登録したことになる。

次に、タイマ更新処理について説明する。

3種類の周期のインターバルタイマのいずれかがタイムアウトして、インターバルタイマ回路12の出力信号 $10\text{ms}$ ,  $1\text{s}$ 又は $1\text{MIN}$ 信号が“1”になると、S-RフリップフロップFF1, FF2又はFF3がセットされ、ORゲートG3の出力信号ITMOUT信号が“1”となる。すると、タイマ制御回路13は、タイマ更新処理を開始する。

最初に、ITMRS信号をONにしてFF1, FF2及びFF3の出力信号をレジスタREG1にセットすると同時に、FF1, FF2及びFF3をリセットする。次にPTR3に初期値0

をセットして、TCM10の走査を開始する。

まず、PTR3の値をアドレスとしてTCM10からTCWを読み出してTCR14にセットする。

次に、そのTCWが有効であり、かつ、タイマレンジフィールドで指定されたインターバルタイマがタイムアウトしているかどうかを調べる。これは、TCR14のタイムレンジフィールドをデコードするデコーダDEC15及びANDゲートG4~G6, ORゲートG7により、作成されるITMEQ信号を検査することにより行う。いま、TCR14にセットされているTCWのタイムレンジフィールドの値が“01”( $10\text{ms}$ )であり、 $10\text{ms}$ と $1\text{s}$ のインターバルタイマがタイムアウトして、REG1のQ1出力及びQ2出力信号が“1”的場合を考える。この場合には、TMRNG信号は“01”であり、DEC15のQ1出力信号が“1”となるので、G4の出力信号が“1”になり、G7の出力信号ITMEQも“1”となり、TCWに有効であり、かつ、

タイムレンジで指定されたインターバルタイマがタイムアウトしていることがわかる。

このように、 $10\text{ms}$ と $1\text{s}$ のインターバルタイマがタイムアウトした場合には、TCM10内のタイムレンジが“01”( $10\text{ms}$ )又は“10”( $1\text{s}$ )のTCWはすべてタイマ更新の対象となり、タイマ値が-1される。また、 $10\text{ms}$ ,  $1\text{s}$ と1MINのインターバルタイマがタイムアウトした場合には、TCM10内のタイムレンジが“01”( $10\text{ms}$ ), “10”( $1\text{s}$ )又は“11”(1MIN)のTCWはすべてタイマ更新の対象となる。

ITMEQ信号が“1”的場合には、TCR14のTCWのタイマ値フィールドの値を-1する。この結果、タイマ値が0にならなければ、TCWをTCM10のもとの位置に格納し、

PTR3を+1して次のTCWの処理に進む。

タイマ値が0になった場合は、タイマ設定後、TCWのタイムレンジフィールドとタイマ値フィールドで指定された時間が経過したことを意

味する。この場合には、TCM10内のTCWを無効化した後、TCWをTCR14に保持したまま、TMOUT信号をONにして、CPU1に割込みを要求する。

TMOUT信号がONになると、CPU1では割込みが発生し、プログラムは、TCR14読出しの入力命令を実行して割込み原因のTCWを読み出す。このTCWのタイマ種別フィールドの内容から、以前に設定したどのタイマがタイムアウトしたかを知る。

タイマ制御回路13は、TCR14読出しの入力命令が実行されるのを待って、次のTCWの処理に進む。

PTR3が1024になり、TCM10の全領域の処理が完了したならば、タイマ更新処理を終了する。

なお、タイマ制御回路13のマイクロプログラムは、CPU1からの入力命令及び出力命令の処理をタイマ更新処理より優先させて処理するようになっており、タイマ更新処理を実行中

の場合にも、その途中の処理の区切りにおいて、CPU1からの入力命令及び出力命令の処理を実行することができることを付け加えておく。

以上説明したように、本発明では $10\text{ms}$ ,  $1\text{s}$ 及び1MIN周期の3種類のインターバルタイマのうちの複数個が同時にタイムアウトした場合にも、これにより起動されるタイマ更新処理を1回のTCM10の走査で行うようにしたので、タイマ制御回路13における処理の集中を回避することができる。

タイマ制御回路13に処理が集中すると、 $10\text{ms}$ に1回行うはずのタイマ更新処理が間に合わなくなり、タイマ更新が1回抜けてしまう等の誤動作が発生する場合があるが、本発明により、防止することが可能となる。

#### （イ）発明の効果

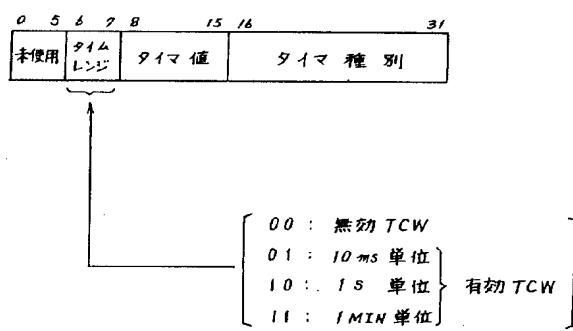
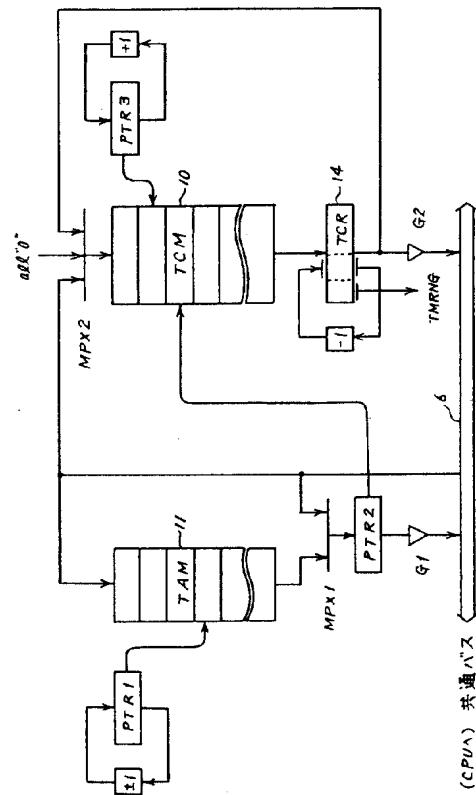
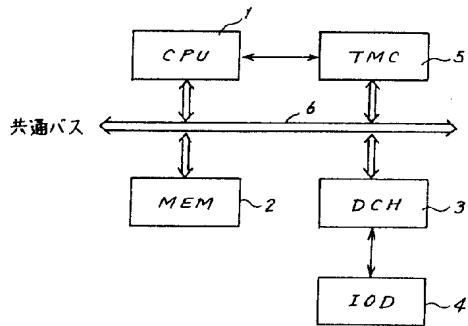
本発明によれば、複数のインターバルタイマが同時にタイムアウトした場合にも、それにより起動されるタイマ更新処理は1回で済ませることが可能となり、タイマ機構における処理の

集中、及びそれに起因する誤動作を回避することができる。

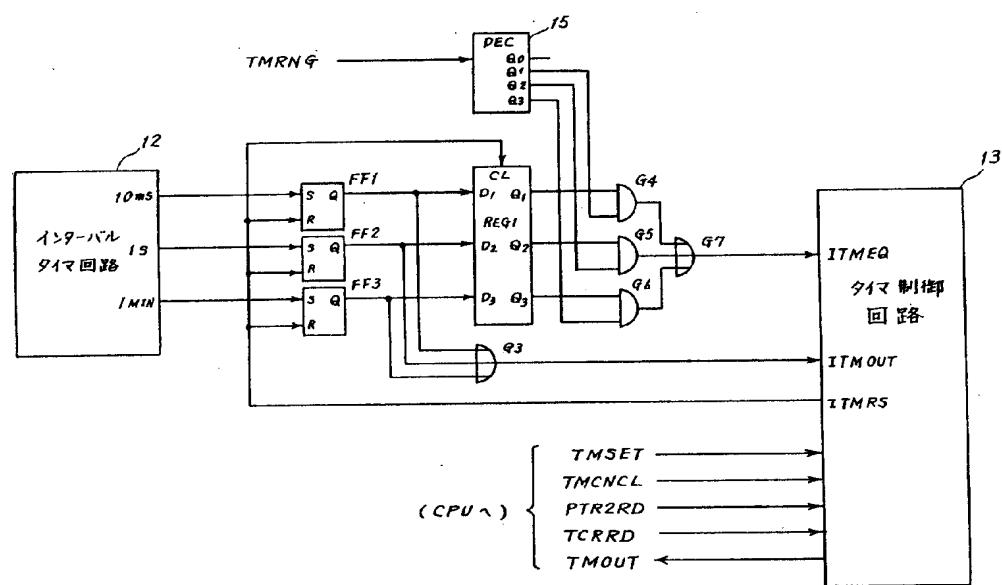
#### 4. 図面の簡単な説明

第1図は本発明のタイマ機構を備えた情報処理装置のシステム構成図、第2図はタイマ制御部の形式を示す図、第3図及び第4図はタイマ制御部のブロック構成図、第5図及び第6図はタイマ制御回路の処理を示すフローチャートである。

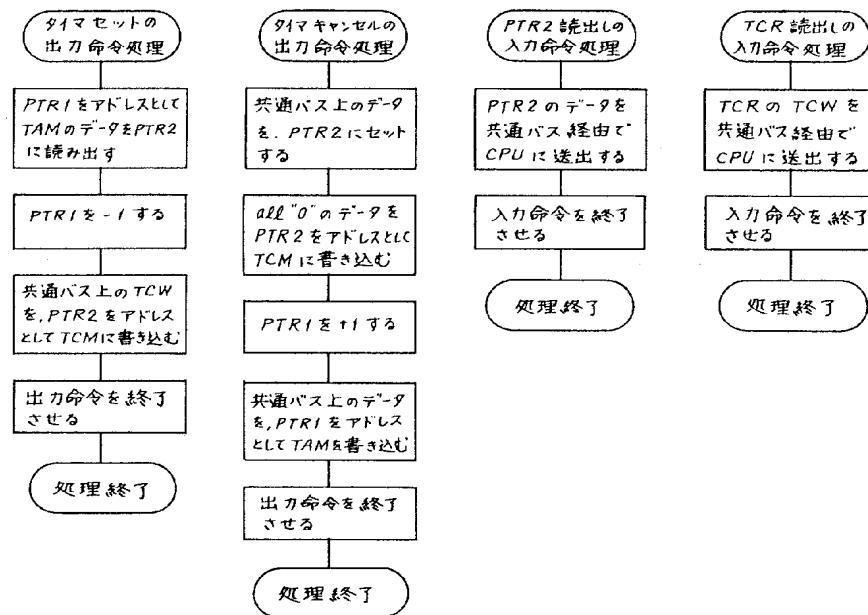
代理人弁理士松岡宏四郎  
西松浦



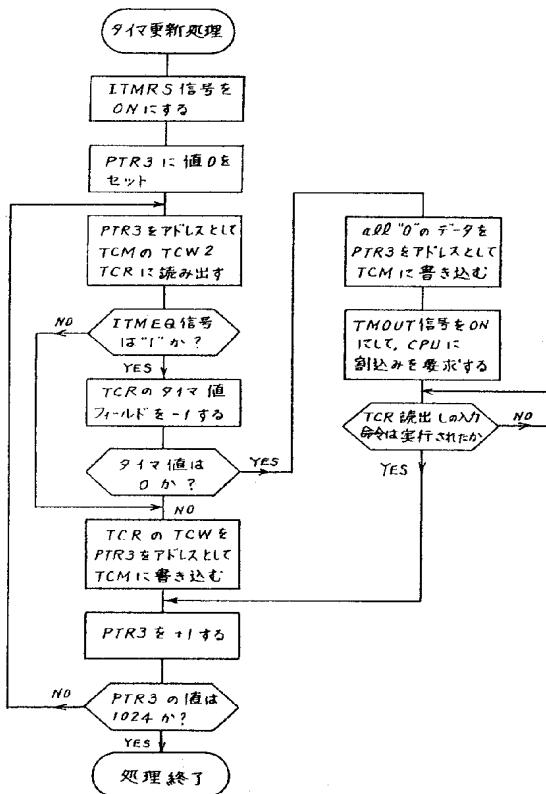
第2図



第4図



第5図



第6図